

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-057295

(43)Date of publication of application : 25.02.1992

(51)Int.Cl.

G11C 16/06

(21)Application number : 02-162835

(71)Applicant : NEC CORP

(22)Date of filing : 22.06.1990

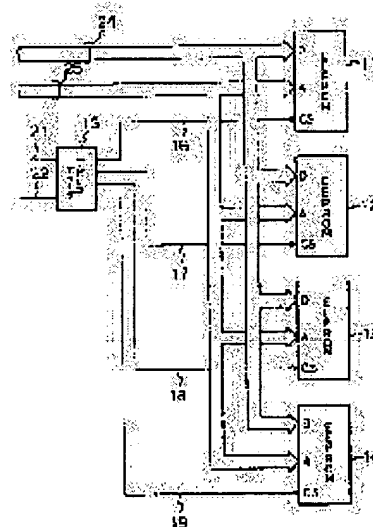
(72)Inventor : OHASHI SATOSHI

## (54) ELECTRICALLY WRITABLE/ERASABLE MEMORY CIRCUIT

### (57)Abstract:

**PURPOSE:** To enable efficient backup and to shorten time for it by continuously writing continuous data blocks while successively selecting plural writable/erasable memories.

**CONSTITUTION:** When address signals A6 and A7 are inputted through address control lines 21 and 22 from a CPU, an address decoder 15 decodes these signals and prepares a chip select signal 17 for designating one of EEPROM 11-14. Thus, the EEPROM 11 is selected and the data of 64 bytes are continuously written. Next, when the CPU sets the address signals A6 and A7 to L and H respectively, the address decoder 15 changes the signal 17 to L and holds the other signals at H. Thus, the EEPROM 12 is selected and the data are continuously written. Afterwards, the write operation is repeated similarly.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-57295

⑤ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月25日

G 11 C 16/06

9191-5L

G 11 C 17/00

3 0 9 A

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 電氣的書込消去可能メモリ回路

⑯ 特 願 平2-162835

⑰ 出 願 平2(1990)6月22日

⑱ 発 明 者 大 橋 聡 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 山内 梅雄

明 細 書

1. 発明の名称

電氣的書込消去可能メモリ回路

2. 特許請求の範囲

1. それぞれ所定バイト数連続してデータの書き込みが可能な複数の電氣的書込消去可能メモリと、

これら複数の電氣的書込消去可能メモリからデータ書き込みの対象となるものを1つずつ巡回的に選択する電氣的書込消去可能メモリ選択手段と、

この電氣的書込消去可能メモリ選択手段により選択された電氣的書込消去可能メモリに対し、データを所定バイト数ずつ連続的に書き込むデータ書込手段

とを具備することを特徴とする電氣的書込消去可能メモリ回路。

2. 一定のバイト書込周期で所定バイト数連続的にデータの書き込みと消去が可能なページ書込モードをそれぞれ有する複数の電氣的書込消去可

能メモリチップと、

与えられたアドレス信号の一部をデコードして、前記複数の電氣的書込消去可能メモリチップを1つずつ順次巡回的に選択するためのチップセレクト信号を作成し出力するアドレスデコーダと、

このアドレスデコーダから出力されるチップセレクト信号の指定するそれぞれの電氣的書込消去可能メモリチップに対し、所定バイト数のデータをそれぞれ1ブロックとして順次連続的に書き込むデータブロック書込手段

とを具備することを特徴とする電氣的書込消去可能メモリ回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はメモリ回路に係わり、例えばデジタル通信やデータ伝送用の通信機での各種バックアップに用いられる電氣的書込消去可能メモリ回路に関する。

〔従来の技術〕

ユーザがプログラム可能なリードオンリメモリ

(以下PROMという。)の1つとして電氣的書込消去可能メモリ(以下EEPROMという。)が多く使用されるに至っている。このEEPROMは、従来の消去可能PROM(EPROM)とは異なって消去に紫外線を必要とせず簡単に消去可能なので、例えばデジタル通信を行う通信機等における各種情報のバックアップに用いられるなど、今後その使用の増加が予想される。最近では書き込みや消去に必要な制御回路や高電圧発生回路が素子に内蔵され、5V単一電源で通常のスタティック・ランダムアクセスメモリ(SRAM)と同様のタイミングでの書き込みや消去が可能となっている。このEEPROMでは、素子内部での書き込み動作にはかなりの時間を要するので、現在ではバイト単位での書き込みや消去動作に加えて、複数バイト数連続したページ単位での書き込み・消去ができるようにして高速化が図られている。例えば、ある素子では1周期10msの間にページ当たり64バイトの連続したデータの書き込み・消去ができ、従来型に比べて数十倍の高速

処理が可能となっている。

〔発明が解決しようとする課題〕

このように、最近のEEPROMではページ単位の高速処理が可能になってきてはいるが、素子の特性上、書き込みの1周期の時間が経過するまでは次のページの書き込みを行うことができなかった。

第3図は、従来のEEPROMへの書込動作を表わしたものである。例えば、データ書込周期 $t_1$ が10ms、バイトごとの書込周期 $t_2$ が100 $\mu$ s、1ページ当たりのバイト数 $k$ が64バイトのEEPROMでメモリ回路を構成したとすると、1ページのデータ書込に実際に要する時間 $T_1$ は次の(1)式のようになる。

$$\begin{aligned} T_1 &= t_2 \times k \\ &= 100 (\mu s) \times 64 (\text{バイト}) \\ &= 6.4 (\text{ms}) \dots \dots (1) \end{aligned}$$

しかしながら、書き込みの1周期10msが経過するまでは次のページの書き込みをすることができないので、あるページの書き込みから次のペー

ジの書き込みまでには、次の(2)式のような待ち時間 $T_w$ が存在することとなる。

$$\begin{aligned} T_w &= t_1 - T_1 \\ &= 3.6 (\text{ms}) \dots \dots (2) \end{aligned}$$

従って、例えば256バイトのデータを書き込む場合の所要時間は、次の(3)式に示すようにデータ書込周期 $t_1$ に制約される。

$$\begin{aligned} 10 (\text{ms}) \times (256 / 64) \\ = 40 (\text{ms}) \dots \dots (3) \end{aligned}$$

この中には本来無駄な時間である待ち時間 $T_w$ も含まれることとなる。

このように、従来のEEPROMを用いたメモリ回路では、実際の書込時間の他にかなり長い待ち時間 $T_w$ があったため、書き込みの効率が悪いという欠点があった。

そこで、本発明の目的は、待ち時間なく効率的なデータの書き込みを行うことのできる電氣的書込消去可能メモリ回路を提供することにある。

〔課題を解決するための手段〕

請求項1記載の発明では、(i)それぞれ所定

バイト数連続してデータの書き込みが可能な複数の電氣的書込消去可能メモリと、(ii)これら複数の電氣的書込消去可能メモリからデータ書き込みの対象となるものを1つずつ巡回的に選択する電氣的書込消去可能メモリ選択手段と、(iii)この電氣的書込消去可能メモリ選択手段により選択された電氣的書込消去可能メモリに対し、データを所定バイト数ずつ連続的に書き込むデータ書込手段とを電氣的書込消去可能メモリ回路に具備させる。

そして、請求項1記載の発明では、ページ書き込みが可能な電氣的書込消去可能メモリを複数用意し、これらのメモリを1つずつ順次巡回的に選択して、所定バイト数連続したそれぞれのデータブロックがさらに互いに連続するように書き込みを行うこととする。

請求項2記載の発明では、(i)一定のバイト書込周期で所定バイト数連続的にデータの書き込みと消去が可能なページ書込モードをそれぞれ有する複数の電氣的書込消去可能メモリチップと、

(ii) 与えられたアドレス信号の一部をデコードして、前記複数の電氣的書込消去可能メモリチップを1つずつ順次巡回的に選択するためのチップセレクト信号を作成し出力するアドレスデコーダと、(iii) このアドレスデコーダから出力されるチップセレクト信号の指定するそれぞれの電氣的書込消去可能メモリチップに対し、所定バイト数のデータをそれぞれ1ブロックとして順次連続的に書き込むデータブロック書込手段とを電氣的書込消去可能メモリ回路に具備させる。

そして、請求項2記載の発明では、アドレスデコーダでアドレス信号の一部をデコードすることによりチップセレクト信号を作成して複数の電氣的書込消去可能メモリチップを巡回的に選択し、その選択されたそれぞれのメモリチップに対し、連続した所定バイト数のデータブロック同士がさらに連続するように書き込みを行うこととする。

#### 〔実施例〕

以下実施例につき本発明を詳細に説明する。

第1図は本発明の一実施例における電氣的書込

消去可能メモリ回路を表わしたものである。この回路には64バイト単位のページ書込と消去動作が可能で4つのEEPROM11~14が備えられ、それぞれのチップセレクト端子CSには、アドレスデコーダ15からチップセレクト信号16~19が入力されるようになっている。このアドレスデコーダ15には、メインシステムの図示しない中央処理装置(CPU)からアドレス線21、22を介してアドレス信号A<sub>0</sub>、A<sub>1</sub>が入力され、これを基にチップセレクト信号16~19のうちのいずれか1つが作成し出力する。ここでは、チップセレクト信号が“L”レベルになることにより、該当するチップがアクティブになるものとする。

また、EEPROM11~14には、それぞれ8ビット分のデータ端子群Dと15ビット分のアドレス端子群Aが備えられている。このうち、各EEPROMのデータ端子群Dには、図示しないメインシステムからのデータバス24が4分岐されたうえでパラレルに接続され、バックアップデータIO<sub>0</sub>~IO<sub>3</sub>のやりとりが行われる。一方、

各EEPROMのアドレス端子群Aには、CPUからのアドレスバス25が4分岐されたうえでパラレルに接続され、アドレス信号A<sub>0</sub>~A<sub>3</sub>、A<sub>4</sub>~A<sub>6</sub>が入力されるようになっている。

なお、本実施例では説明を簡略化するため、書き込み時に用いられるいわゆるライトイネーブル(書き込み許可)信号は省略してあるが、この信号によりデータバス24の方向性が切り換えられるようになっているのはもちろんである。

第2図と共に、以上のような構成の電氣的書込消去可能メモリ回路の動作を説明する。ここでは、従来例と同様、書込周期10ms、バイト書込周期100μsのEEPROMに対し、64バイト単位でのページ書込を行うものとして説明する。

CPUからアドレス制御線21、22を介してアドレス信号A<sub>0</sub>、A<sub>1</sub>が入力されると、アドレスデコーダ15はこれをデコードし、EEPROM11~14のうちの1つを指定するためのチップセレクト信号を作成する。例えば、アドレス信号A<sub>0</sub>、A<sub>1</sub>が共に“L”レベルのとき、アドレ

スデコーダ15はチップセレクト信号16を“L”レベルに変化させ、他を“H”レベルに保持する。これにより第1のEEPROM11が選択され、バイト書込周期100μsで64バイトのデータが連続して書き込まれる(第2図a、期間A)。これに要する時間T<sub>r</sub>は(1)式に示したように6.4msである。

次に、CPUがアドレス信号A<sub>0</sub>、A<sub>1</sub>をそれぞれ“L”、“H”レベルにセットすると、アドレスデコーダ15はチップセレクト信号17を“L”レベルに変化させ、他を“H”レベルに保持する。これにより第2のEEPROM12が選択され、前回同様バイト書込周期100μsで64バイトのデータが連続して書き込まれる(第2図b、期間B)。これに要する時間T<sub>r</sub>もまた6.4msである。

さらに、CPUはアドレス信号A<sub>0</sub>、A<sub>1</sub>を“H”、“L”レベル、さらに“H”、“H”レベルへと順次変化させることにより第3、第4のEEPROM13、14を選択し、それぞれに64

バイトずつデータの連続書き込みを行う（第2図c、d）。

第4のEEPROM14への書き込みが終了すると、CPUは再びアドレス信号A<sub>0</sub>、A<sub>1</sub>を共に“L”レベルにセットし、以下同様の書き込み動作を繰り返す。

このようにして、4つのEEPROMのうちの1つが巡回的に選択され、選択されたEEPROMに対し、64バイトのページ書込動作が待ち時間なく行われることとなる。

例えば256バイトのデータを書き込む場合、これに要する時間は次の(4)式に示すように25.6msとなる。

$$6.4 \text{ [ms]} \times (256 / 64) \\ = 25.6 \text{ [ms]} \dots \dots (4)$$

従って、本実施例では(3)式に示した従来の所要時間に比べて約4割短い時間で書き込みが可能となる。

なお、本実施例ではバイト書込周期を100μsとしたが、この値がさらに小さいメモリチップを

使用すれば、時間短縮の効果が一層顕著となることはもちろんである。

また、本実施例では、4個のEEPROMを用いることとしたが、書込周期t<sub>1</sub>に比べてバイト書込周期t<sub>2</sub>がはるかに短い場合には、より多くのメモリチップを用いればよい。

〔発明の効果〕

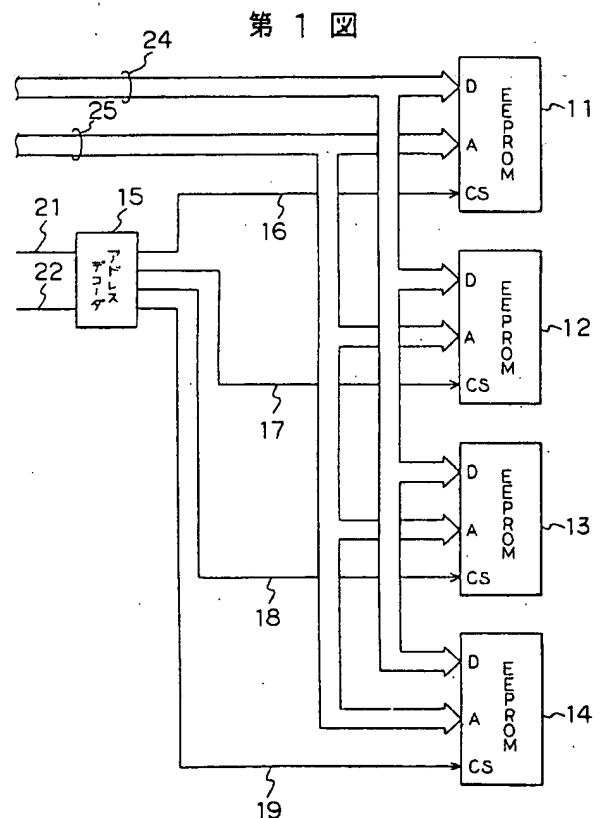
以上説明したように本発明によれば、ページ書き込みが可能な電氣的書込消去可能メモリを複数用意し、これらのメモリを順次選択して所定バイト数連続したデータブロックがさらに互いに連続するように書き込むこととしたので、従来のように書込待ち時間の間待つことなく連続的にデータを書き込むことができる。従って、効率的なバックアップが可能となり、それに要する時間を短縮することができるという効果がある。

#### 4. 図面の簡単な説明

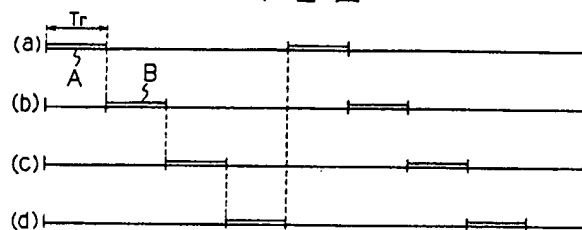
第1図、第2図は本発明の一実施例を説明するためのもので、このうち第1図は電氣的書込消去可能メモリ回路を示すブロック図、第2図は第1

図の電氣的書込消去可能メモリ回路の動作を説明するためのタイミング図、第3図は従来の電氣的書込消去可能メモリ回路の動作を説明するためのタイミング図である。

出願人 日本電気株式会社  
代理人 弁理士 山内 梅雄



第2図



第3図

